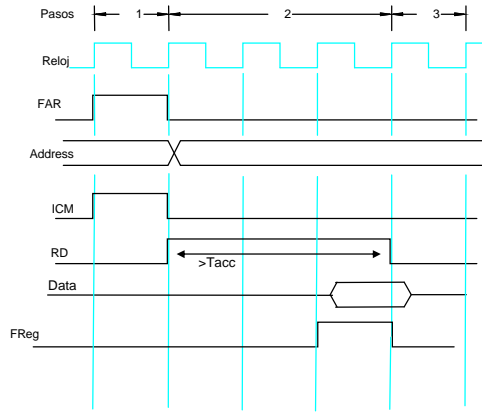


### Ciclo de lectura

Se supone AR siempre disponible en el bus de direcciones de memoria

1. dirección → AR
2. M(AR) → Reg; lectura

Reg o (DR)



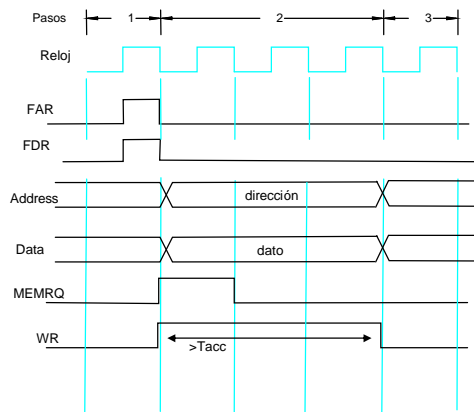
Temporización de la lectura en memoria

### Ciclo de escritura

AR y DR disponibles en buses de dir y dat

1. dirección → AR
2. dato → DR
3. DR → M(AR) ; escritura

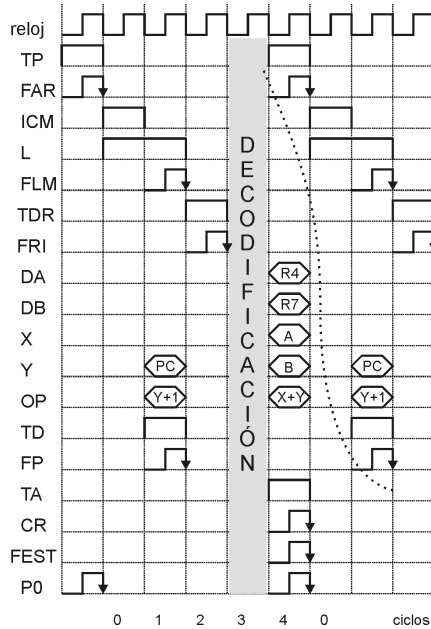
escritura: MEMRQ y WR



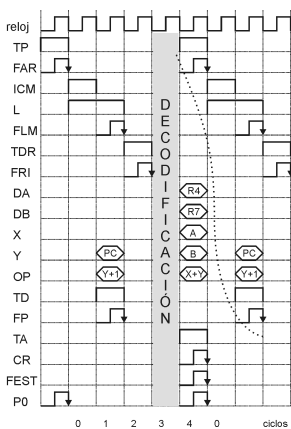
Temporización de la escritura en memoria

# Cronogramas

- **ADD .R4, .R7**
- **Lectura de la instrucción**
  - PC → AR (1 ciclo)
  - M(AR) → DR, PC + 1 → PC (2 ciclos)
  - DR → RI (1 ciclo)
- **Decodificación (1 ciclo)**
- **Ejecución y fetch sig. Instrucción**
  - R4+R7 → R4 y FEST; PC → AR (1 ciclo)
  - M(AR) → DR, PC + 1 → PC (2 ciclos)
  - DR → RI (1 ciclo)



# Diseño de la UC



## Memoria de Control

TP	FAR	ICM	L	FLM	TDR	DA	DB	FRI	X	Y	Op	TD	FP	TA	CR	FEST	P0	...
x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	1	0	0	1	0	0	0	0	0	0
1	0	1	0	1	1	0	0	0	1	0	0	1	0	0	0	0	0	0
0	0	0	0	0	0	0	0	1	0	1	1	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	1	0	0	1	0	0	1	0	0	0	0
1	0	0	0	1	1	0	0	1	0	0	0	0	0	1	1	0	0	0
1	0	1	0	1	1	0	0	1	0	0	0	0	0	1	0	0	0	0
x	x	x	x	x	x	0	0	1	1	0	0	0	1	0	0	0	1	1
x	x	x	x	x	x	0	1	0	0	0	0	0	0	0	0	0	0	0
x	x	x	x	x	x	0	1	0	1	0	0	0	0	0	0	0	0	1
x	x	x	x	x	x	0	1	1	0	0	0	0	0	0	0	0	0	0
x	x	x	x	x	x	0	1	1	0	0	0	0	0	0	0	0	0	0
x	x	x	x	x	x	0	1	1	0	0	0	0	0	0	0	0	0	0
x	x	x	x	x	x	1	0	0	0	0	0	0	0	0	0	0	0	0
x	x	x	x	x	x	1	0	0	1	0	0	0	0	0	0	0	0	0

